

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-172146

(43)公開日 平成9年(1997)6月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	D
21/822			29/78	3 0 1 K
29/78				

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21)出願番号 特願平8-135372

(22)出願日 平成8年(1996)5月29日

(31)優先権主張番号 特願平7-224381

(32)優先日 平7(1995)8月31日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平7-267097

(32)優先日 平7(1995)10月16日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 飯島 広明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 太斎 文博

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 藤野 勉

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

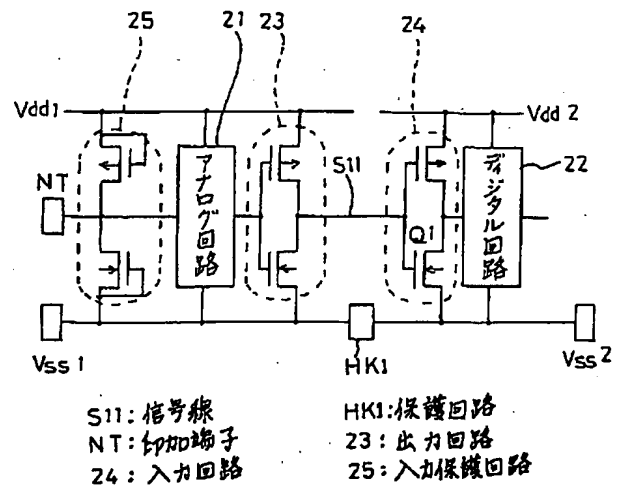
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 2種類以上の電源系を一装置内に有する半導体装置の改善に関する。

【解決手段】 第1の低電位側/高電位側の電源線Vss1, Vdd1と第2の低電位側/高電位側の電源線Vss2, Vdd2との間に、第1の低電位側/高電位側の電源線Vss1, Vdd1と第2の低電位側/高電位側の電源線Vss2, Vdd2との電位差が所定の値を超えた時に第1の低電位側/高電位側の電源線Vss1, Vdd1と第2の低電位側/高電位側の電源線Vss2, Vdd2とを導通させる保護回路HK1が設けられてなること。



【特許請求の範囲】

【請求項 1】 第 1 の低電位側の電源線と第 1 の高電位側の電源線から供給される第 1 の電源電圧によって動作する第 1 の回路と、

第 2 の低電位側の電源線と第 2 の高電位側の電源線から供給される第 2 の電源電圧によって動作する第 2 の回路と、

前記第 1 の回路と前記第 2 の回路との間に接続され、前記第 1 の回路と前記第 2 の回路との間で信号を伝達する信号線とを備える半導体装置において、

前記第 1 の低電位側／高電位側の電源線と前記第 2 の低電位側／高電位側の電源線との間に、前記第 1 の低電位側／高電位側の電源線と前記第 2 の低電位側／高電位側の電源線との電位差が所定の値を超えた時に前記第 1 の低電位側／高電位側の電源線と前記第 2 の低電位側／高電位側の電源線とを導通させる保護回路が設けられてなることを特徴とする半導体装置。

【請求項 2】 前記第 1 の高電位側の電源線と前記第 2 の高電位側の電源線との間に、前記第 1 の高電位側の電源線と前記第 2 の高電位側の電源線との電位差が所定の値を超えた時に前記第 1 の高電位側の電源線と前記第 2 の高電位側の電源線とを導通させる第 1 の保護回路が設けられ、

かつ前記第 1 の低電位側の電源線と前記第 2 の低電位側の電源線との間に、前記第 1 の低電位側の電源線と前記第 2 の低電位側の電源線との電位差が所定の値を超えた時に前記第 1 の低電位側の電源線と前記第 2 の低電位側の電源線とを導通させる第 2 の保護回路が設けられてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 低電位側の電源線と高電位側の電源線から供給される電源電圧によって動作する第 1 の回路と、前記低電位側の電源線と前記高電位側の電源線から供給される電源電圧によって動作する第 2 の回路と、

前記第 1 の回路と前記第 2 の回路との間に接続され、前記第 1 の回路と前記第 2 の回路との間で信号を伝達する信号線とを備える半導体装置において、

冗長な前記低電位側／高電位側の電源線の、前記第 1 の回路近傍での電位と前記第 2 の回路近傍での電位との電位差が所定の値を超えた時に、前記第 1 の回路近傍の前記低電位側／高電位側の電源線と、前記第 2 の回路近傍の前記低電位側／高電位側の電源線とを短絡させる保護回路が設けられてなることを特徴とする半導体装置。

【請求項 4】 第 1 の低電位側の電源線と第 1 の高電位側の電源線から供給される第 1 の電源電圧によって動作する第 1 の回路と、

第 2 の低電位側の電源線と第 2 の高電位側の電源線から供給される第 2 の電源電圧によって動作する第 2 の回路と、

前記第 1 の回路と前記第 2 の回路との間に接続され、前記第 1 の回路と前記第 2 の回路との間で信号を伝達する

信号線とを有する半導体装置において、

前記第 2 の低電位側／高電位側の電源線と前記信号線との間に、前記第 2 の低電位側／高電位側の電源線と前記信号線との電位差が所定の値を超えた時に前記第 2 の低電位側／高電位側の電源線と前記信号線とを導通させる保護回路が設けられてなることを特徴とする半導体装置。

【請求項 5】 前記第 2 の高電位側の電源線と前記信号線との間に、前記第 2 の高電位側の電源線と前記信号線との電位差が所定の値を超えた時に前記第 2 の高電位側の電源線と前記信号線とを導通させる第 1 の保護回路が設けられ、

かつ前記第 2 の低電位側の電源線と前記信号線との間に、前記第 2 の低電位側の電源線と前記信号線との電位差が所定の値を超えた時に前記第 2 の低電位側の電源線と前記信号線の電源線とを導通させる第 2 の保護回路が設けられてなることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 低電位側の電源線と高電位側の電源線から供給される電源電圧によって動作する第 1 の回路と、前記低電位側の電源線と前記高電位側の電源線から供給される電源電圧によって動作する第 2 の回路と、

前記第 1 の回路と前記第 2 の回路との間に接続され、前記第 1 の回路と前記第 2 の回路との間で信号を伝達する信号線とを有する半導体装置において、

前記信号線の電位と、冗長な前記低電位側／高電位側の電源線の前記第 2 の回路近傍での電位との電位差が所定の値を超えた時に、前記信号線と、前記第 2 の回路近傍の前記低電位側／高電位側の電源線とを短絡させる保護回路が設けられてなることを特徴とする半導体装置。

【請求項 7】 前記信号線には、前記第 2 の回路の入出力回路を構成する MOS 型トランジスタのゲートが接続され、前記第 2 の低電位／高電位側の電源線若しくは前記第 2 の回路に接続する低電位側／高電位側の電源線には前記 MOS 型トランジスタのソース／ドレインが接続されていることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 又は請求項 6 記載の半導体装置。

【請求項 8】 前記保護回路は MOS 型トランジスタ、ダイオード、バイポーラトランジスタのいずれかから構成されることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 又は請求項 7 記載の半導体装置。

【請求項 9】 第 1 の低電位側の電源線と第 2 の高電位側の電源線から供給される電源電圧によって動作する第 1 の回路と、

第 2 の低電位側の電源線と第 2 の高電位側の電源線から供給される電源電圧によって動作する第 2 の回路と、

前記第 1 の回路と前記第 2 の回路との間に接続され、前記第 1 の回路と前記第 2 の回路との間で信号を伝達する

信号線とを有する半導体装置において、通常動作に比して過大な電流が前記信号線に流れ込む異常動作時に導通して前記信号線に流れ込む過大な電流を分岐させる保護回路が、前記第1の低電位側／高電位側の電源線と前記第2の低電位側／高電位側の電源線との間に設けられたことを特徴とする半導体装置。

【請求項10】 前記保護回路は、

第1の高電位側の電源線にそのドレイン／ソースが接続され、第2の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ドレイン／ソースが導通しているpチャネル型の第1のMOSトランジスタと、第1の低電位側の電源線にそのソース／ドレインが接続され、第2の高電位側の電源線にそのドレイン／ソースが接続され、ゲートと前記ドレイン／ソースが導通しているpチャネル型の第2のMOSトランジスタと、第1の高電位側の電源線にそのドレイン／ソースが接続され、第1の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ドレイン／ソースが導通しているpチャネル型の第3のMOSトランジスタと、第2の高電位側の電源線にそのドレイン／ソースが接続され、第2の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ドレイン／ソースが導通しているpチャネル型の第4のMOSトランジスタとを有する事を特徴とする請求項9記載の半導体装置。

【請求項11】 前記保護回路は、

第1の高電位側の電源線にそのドレイン／ソースが接続され、第2の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ソース／ドレインが導通しているnチャネル型の第1のMOSトランジスタと、第1の低電位側の電源線にそのソース／ドレインが接続され、第2の高電位側の電源線にそのドレイン／ソースが接続され、ゲートと前記ソース／ドレインが導通しているnチャネル型の第2のMOSトランジスタと、第1の高電位側の電源線にそのドレイン／ソースが接続され、第1の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ソース／ドレインが導通しているnチャネル型の第3のMOSトランジスタと、第2の高電位側の電源線にそのドレイン／ソースが接続され、第2の低電位側の電源線にそのソース／ドレインが接続され、ゲートと前記ソース／ドレインが導通しているnチャネル型の第4のMOSトランジスタとを有する事を特徴とする請求項9記載の半導体装置。

【請求項12】 前記保護回路は、

第1の高電位側の電源線にそのカソードが接続され、第2の低電位側の電源線にそのアノードが接続された第1のダイオードと、第1の低電位側の電源線にそのアノードが接続され、第2の高電位側の電源線にそのカソードが接続された第2のダイオードと、第1の高電位側の電源線にそのカソードが接続され、第

1の低電位側の電源線にそのアノードが接続された第3のダイオードと、

第2の高電位側の電源線にそのカソードが接続され、第2の低電位側の電源線にそのアノードが接続された第4のダイオードとを有する事を特徴とする請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、更に詳しく言えば、2種類以上の電源系を一装置内に有する半導体装置の改善に関する。

【0002】

【従来の技術】 以下で、従来例に係る半導体装置について図面を参照しながら説明する。半導体装置においては、一つの装置内にデジタル部とアナログ部とが搭載されているものに代表されるように、電源系が2種類以上に分離されているものが多々ある。なお、同電圧であってもよい。

【0003】 このような半導体装置の一例を図29に示す。図29に示すようにこの装置は、例えば第1の回路としてのアナログ回路(1)、出力回路(3)、入力保護回路(5)を備えたアナログ部と、第2の回路としてのデジタル回路(2)と入力回路(4)とを備えたデジタル部を有し、両者は信号線(S1)で接続されている。

【0004】 アナログ部の電源電圧は電源線(Vdd1, Vss1)から供給され、デジタル部の電源電圧は電源線(Vdd2, Vss2)から供給される。電源線(Vdd1)と電源線(Vdd2)とは分離されており、また電源線(Vss1)と電源線(Vss2)も分離されている。上記の装置によれば、アナログ回路(1)から信号が出力回路(3)を介して出力され、信号線(S1)を介してデジタル部の、インバータからなる入力回路(4)に入力され、デジタル回路(2)に伝達される。

【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体装置では、何らかの原因で図29に示すアナログ部の入力となる印加端子(NT)からサージ入力があると、図29に示すような経路で突入電流(SR)が生じ、電源線(Vss1)の電位が上昇し、この上昇に追従して信号線(S1)の電位もまた上昇する。これは、電源線(Vss1)からサージ入力があった場合も同様である。

【0006】 すると、入力回路(4)のインバータを構成するMOSトランジスタ(Q1)のゲート電位が過度に上昇し、MOSトランジスタ(Q1)のゲートソース間の電圧が過大になり、MOSトランジスタ(Q1)のゲート酸化膜が破壊してしまうという問題が生じていた。また、図30に示すように、アナログ回路(1)、デジタル回路(12)の電源線(Vss, Vdd)

はともに共通ではあるが、電源線 (Vss) が設計の都合上迂回して引き回さねばならないため、冗長になるような場合には、電源投入時に、アナログ回路 (11) に接続される電源線 (Vss) の電位は所定の電源電圧まで達しているものの、電源線 (Vss) が冗長であるがゆえに遅延が生じ、デジタル回路 (12) に接続される電源線 (Vss) の電位が所定の電源電圧まで達しないことがある。

【0007】すると、アナログ回路 (11) に接続される電源線 (Vss) とデジタル回路 (12) に接続される電源線 (Vss) との間に瞬間的に大きな電位差が生じ、信号線 (S1) の電位が過度に上昇することで、デジタル回路 (12) の前段にあり、インバータからなる入力回路 (14) を構成するMOSトランジスタのゲート絶縁膜が破壊してしまうという問題が生じていた。

【0008】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に例示するように、第1の低電位側の電源線と第1の高電位側の電源線から供給される第1の電源電圧によって動作する第1の回路と、第2の低電位側の電源線と第2の高電位側の電源線から供給される第2の電源電圧によって動作する第2の回路と、前記第1の回路と前記第2の回路との間に接続され、前記第1の回路と前記第2の回路との間で信号を伝達する信号線とを備えた半導体装置において、前記第1の低電位側/高電位側の電源線と前記第2の低電位側/高電位側の電源線との間に、前記第1の低電位側/高電位側の電源線と前記第2の低電位側/高電位側の電源線との電位差が所定の値を超えた時に前記第1の低電位側/高電位側の電源線と前記第2の低電位側/高電位側の電源線とを導通させる保護回路が設けられてなることを特徴とする半導体装置により、2系統の電源の電位差によって生じる素子破壊を抑止する半導体装置の提供を可能足らしめるものである。

【0009】

【発明の実施の形態】

(1) 第1の実施形態

以下で、本発明の一実施形態に係る半導体装置について図面を参照しながら説明する。本実施形態に係る半導体装置は、半導体メモリなどのように一つの装置内にディ

ジタル部とアナログ部とが搭載されているものである。

【0010】本実施形態に係る半導体装置は図1に示すように、アナログ回路 (21)、出力回路 (23)、入力保護回路 (25) からなるアナログ部と、デジタル回路 (22) と入力回路 (24) とからなるデジタル部を有し、両者は信号線 (S11) で接続されている。アナログ部の電源電圧は電源線 (Vdd1, Vss1) から供給され、デジタル部の電源電圧は電源線 (Vdd2, Vss2) から供給される。電源線 (Vdd1) と電源線

(Vdd2) とは分離されており、電源線 (Vss1) と電

源線 (Vss2) とは保護回路 (HK) を介して接続されている。

【0011】なお、アナログ部は第1の回路の一例であって、デジタル部は第2の回路の一例である。また、電源線 (Vdd1) は第1の高電位側の電源線の一例であって電源線 (Vss1) は第1の低電位側の電源線の一例である。さらに電源線 (Vdd2) は第2の高電位側の電源線の一例であって、電源線 (Vss2) は第2の低電位側の電源線の一例である。従って、例えば第1の回路としてデジタル回路が接続され、第2の回路としてアナログ回路が接続されたり、第1、第2の回路とも同じアナログ回路あるいはデジタル回路が接続されるものであっても構わない。

【0012】保護回路 (HK1) は電源線 (Vss1) と電源線 (Vss2) との電位差が一定量を超えると導通して、電源線 (Vss1) と電源線 (Vss2) とを強制的に同電位にするスイッチング回路である。上記装置によれば、アナログ回路 (21) から信号が出力回路 (23) を介して出力され、信号線 (S11) を介してデジタル部の、インバータからなる入力回路 (24) に入力され、デジタル回路 (22) に伝達される。

【0013】上記装置において、アナログ部の入力となる印加端子 (NT) や電源端子 (Vss1) からサージ入力があった場合には、電源線 (Vss1) と電源線 (Vss2) との電位差が大きくなろうとするが、その電位差が所定の電位差を越えると保護回路 (HK) が作動し、これらの電源線 (Vss1, Vss2) が導通してほぼ同電位になる。

【0014】これにより、従来のように電源線 (Vss1) の電位上昇に伴って信号線 (S11) の電位が上昇し、デジタル部の入力回路 (24) を構成するMOSトランジスタ (Q1) のゲート電位が過度に上昇して、このMOS型トランジスタ (Q1) のゲート破壊が生じることを極力抑止することができる。上述の保護回路

(HK1) の実際例を図2～図10に示す。図2～図4に示す保護回路は、nチャネルMOSトランジスタからなり、図5～図7に示す保護回路は、pチャネルMOSトランジスタからなり、図8～図10に示す保護回路はダイオードからなるものであって、いずれも電源線 (Vss1) と電源線 (Vss2) の電位差が所定の一定量を超えると電源線 (Vss1) と電源線 (Vss2) とを導通させてほぼ同電位にすることができる。なお、上述した保護回路は、図2～図10に示した回路構成だけに限らず、これらの直列及び並列接続による組合せも可能であり、また、バイポーラトランジスタ (PNP型でもNPN型でもよい) からなるものであってもよく、2つの電源線の電位が所定の量を超えた時に導通してこれらをほぼ同電位にするような回路であれば、どのようなものであってもよい。

【0015】ここでは一例として図8に示す保護回路に

ついて説明する。これは1個のダイオードのみからなる回路である。この回路によると、電源線(Vss1)と電源線(Vss2)の電位差が例えば、およそ0.6V以下であればこれらの電源線(Vss1, Vss2)は導通しないが、何らかの原因で電源線(Vss1)の電位が上昇して、電源線(Vss1)と電源線(Vss2)の電位差が0.6V以上になると、ダイオードが導通して電源線(Vss1, Vss2)が導通し、ほぼ同電位になる。また、比較的大きな逆方向電圧が電位差として生じた場合でも、ブレークダウン等によりやはり同様の効果が得られる。他の保護回路も、同様にして電源線(Vss1)と電源線(Vss2)の電位差が所定の一定量を超えると電源線(Vss1)と電源線(Vss2)とを導通させてほぼ同電位にすることができる。

【0016】また、低電位側の電源線(Vss1, Vss2)の間に保護回路(HK1)を設けた例について説明しているが、本発明はこれに限らず、図11に示すように高電位側の電源線(Vdd1, Vdd2)の間に保護回路(HK2)を設けたり、あるいは高電位側の電源線(Vdd1, Vdd2)、低電位側の電源線(Vss1, Vss2)の両方に保護回路(HK1, HK2)を設けた場合においても、同様の効果を奏する。

【0017】(2) 第2の実施形態

以下で、本発明の第2の実施形態について説明する。なお、第1の実施形態と共通する事項については、重複を避けるため説明を省略する。この装置は図13に示すように、電源線(Vss, Vdd)が共通であるアナログ回路(31)、デジタル回路(32)を有し、アナログ回路(31)には入力保護回路(35)と出力回路(33)が接続され、この出力回路(33)とデジタル回路(32)の入力回路(34)との間に信号線(S11)が接続されている。

【0018】電源線(Vss)はアナログ回路(31)とデジタル回路(32)のいずれにも共通であるが、設計の都合上迂回して引き回さねばならないため、図13に示すように冗長になっている。上記装置によれば、アナログ回路(31)から何らかの信号が出力されると、それは出力回路(33)から出力されて信号線(S11)を介して入力回路(34)を介してデジタル回路(32)に入力されることになる。

【0019】従来では電源投入時に、アナログ回路(31)に接続される電源線(Vss)の電位は所定の電源電圧まで達しているものの、電源線(Vss)が冗長であるがゆえにサージ電圧入力時に遅延が生じ、アナログ回路(31)に接続される電源線(Vss)とデジタル回路(32)に接続される電源線(Vss)との間に瞬間的に大きな電位差が生じ、デジタル回路(32)の前段にあり、インバータからなる入力回路(34)を構成するMOSトランジスタのゲート絶縁膜が破壊してしまっていた。

【0020】しかし、本実施形態に係る半導体装置によれば、第1の実施形態と同様に、アナログ回路(31)に接続される電源線(Vss)とデジタル回路(32)に接続される電源線(Vss)との間に瞬間的に電位差が生じて所定の電位差を超えた場合には、保護回路(HK1)が動作してこれらが導通して同電位になるので、デジタル回路(32)に接続された電源線(Vss)の電位も電源電圧まで速やかに上昇するので、上述の問題を回避することが可能になる。

【0021】なお、本実施形態では電源線(Vss)側に保護回路(HK1)を設けた例について説明しているが、本発明はこれに限らず、電源線(Vdd)側に設けたり、図14に示すように電源線(Vdd)、電源線(Vss)の両側に保護回路(HK1, HK2)を設けた場合においても、同様の効果を奏する。なお、本実施形態における保護回路(HK1, HK2)については第1の実施形態と同様に、図2～図10に示すような回路を用いればよい。

【0022】(3) 第3の実施形態

以下で、本発明の第3の実施形態に係る半導体装置について図面を参照しながら説明する。本実施形態に係る半導体装置は、半導体メモリなどのように一つの装置内にデジタル部とアナログ部とが搭載されているものである。なお第1、第2の実施形態と共通する事項については重複を避ける為、説明を省略する。

【0023】本実施形態に係る半導体装置は図15に示すようにアナログ回路(41)、出力回路(43)、入力保護回路(45)からなるアナログ部と、デジタル回路(42)と入力回路(44)とからなるデジタル部を有し、両者は信号線(S11)で接続されている。アナログ部の電源電圧は電源線(Vdd1, Vss1)から供給され、デジタル部の電源電圧は電源線(Vdd2, Vss2)から供給される。電源線(Vdd1)と電源線(Vdd2)とは分離されており、電源線(Vss1)と電源線(Vss2)とは分離されている。

【0024】なお、上記実施形態と同様にアナログ部は第1の回路の一例であって、デジタル部は第2の回路の一例である。また、電源線(Vdd1)は第1の高電位側の電源線の一例であって電源線(Vss1)は第1の低電位側の電源線の一例である。さらに電源線(Vdd2)は第2の高電位側の電源線の一例であって電源線(Vss2)は第2の低電位側の電源線の一例である。

【0025】保護回路(HK3)は、図15に示すように電源線(Vss2)と信号線(S11)との間に接続されており、これらの電位差が一定量を超えると導通して、電源線(Vss2)と信号線(S11)とを強制的にほぼ同電位にするスイッチング回路である。上記装置によれば、アナログ回路(41)から信号が出力回路(43)を介して出力され、信号線(S11)を介してデジタル部の、インバータからなる入力回路(44)に入

力され、ディジタル回路(42)に伝達される。

【0026】上記装置において、印加端子(NT)や電源端子(Vss1)からサージ入力があった場合には、電源線(Vss1)の電位が急激に上昇し、この上昇に追従して信号線(S11)の電位もまた上昇するが、その電位差が所定の電位差を越えると保護回路(HK3)が作動し、信号線(S11)と電源線(Vss2)とが導通してほぼ同電位になるので、入力回路(44)のインバータを構成するMOSトランジスタ(Q1)のゲートソース間の電位が過度に上昇して、このMOSトランジスタ(Q1)のゲート酸化膜が破壊することを極力抑止することができる。

【0027】上述の保護回路(HK3)については、図16～図18に示す回路等を用いればよく、また、これらの直列及び並列接続による組合せも可能であり、さらには、バイポーラトランジスタ(PNP型でもNPN型でもよい)からなるものであってもよく、2つの電源線の電位が所定の量を超えた時に導通してこれらをほぼ同電位にするような回路であれば、どのようなものであってもよい。

【0028】なお、本実施形態では信号線(S11)と低電位側の電源線(Vss2)との間に保護回路(HK3)を設けた例について説明しているが、本発明はこれに限らず、図19に示すように高電位側の電源線(Vdd1)と信号線(S11)との間に保護回路(HK4)を設けたり、図23に示すように高電位側の電源線(Vdd2)と信号線(S11)との間、低電位側の電源線(Vss2)と信号線(S11)との間の両方に保護回路(HK3, HK4)を設けた場合においても、同様の効果を奏する。

【0029】上述の保護回路(HK4)については、図20～図22に示す回路等を用いればよく、また、これらの直列及び並列接続による組合せも可能であり、さらには、バイポーラトランジスタ(PNP型でもNPN型でもよい)からなるものであってもよく、2つの電源線の電位が所定の量を超えた時に導通してこれらをほぼ同電位にするような回路であれば、どのようなものであってもよい。

【0030】(4)第4の実施形態

以下で、本発明の第4の実施形態について説明する。なお、第1～第3の実施形態と共通する事項については、重複を避けるため説明を省略する。この装置は図24に示すように、電源線(Vss, Vdd)が共通であるアナログ回路(51)、ディジタル回路(52)を有し、アナログ回路(51)には入力保護回路(55)と出力回路(53)が接続され、この出力回路(53)とディジタル回路(52)の入力回路(54)との間に信号線(S11)が接続されている。

【0031】電源線(Vss)はアナログ回路(51)とディジタル回路(52)のいずれにも共通であるが、設

計の都合上迂回して引き回さねばならないため、図24に示すように冗長になっている。上記装置によれば、アナログ回路(51)から何らかの信号が出力されると、それは出力回路(53)から出力されて信号線(S11)を介して入力回路(54)を介してディジタル回路(52)に入力されることになる。

【0032】従来ではサージ入力時に電源線(Vss)が冗長であるがゆえに遅延が生じ、アナログ回路(51)に接続される電源線(Vss)とディジタル回路(52)に接続される電源線(Vss)との間に瞬間的に大きな電位差が生じ、信号線(S11)の電位が過度に上昇することで、ディジタル回路(52)の前段にあり、インバータからなる入力回路(34)を構成するMOSトランジスタのゲート絶縁膜が破壊してしまうという問題があった。

【0033】しかし、本実施形態に係る半導体装置によれば、第3の実施形態と同様に、信号線(S11)と電源線(Vss2)との間に瞬間的に電位差が生じて所定の電位差を超えた場合には、保護回路(HK3)が動作してこれらが導通し、信号線(S11)と電源線(Vss2)とが導通してほぼ同電位になるので、入力回路(54)のインバータを構成するMOSトランジスタ(Q1)のゲートソース間の電位が過度に上昇して、このMOSトランジスタ(Q1)のゲート酸化膜が破壊することを極力抑止することができる。

【0034】なお、本実施形態では、信号線(S11)と電源線(Vss)との間に保護回路(HK3)を設けた例について説明しているが、本発明はこれに限らず、電源線(Vdd)と信号線(S11)との間に保護回路を設けたり、図25に示すように電源線(Vdd)と信号線(S11)との間、電源線(Vss)と信号線(S11)との間の両方に保護回路(HK3, HK4)を設けた場合においても、同様の効果を奏する。

【0035】(5)第5の実施形態

以下で、本発明の第5の実施形態に係る半導体装置について説明する。なお第1～第4の実施形態と共通する事項については重複を避ける為説明を省略する。このような半導体装置の一例を図26に示す。図26に示すようにこの装置はアナログ回路(61)、出力回路(63)、入力保護回路(65)からなるアナログ部と、ディジタル回路(62)と入力回路(64)とからなるディジタル部を有し、両者は信号線(S11)で接続されている。

【0036】アナログ部の電源電圧は第1の電源線(Vdd1, Vss1)から供給され、ディジタル部の電源電圧は第2の電源線(Vdd2, Vss2)から供給される。これらは保護回路(HK5)を介して接続されている。なお、アナログ部は第1の回路の一例であって、ディジタル部は第2の回路の一例である。また、電源線(Vdd1)は第1の高電位側の電源線の一例であって電源線

(Vss1)は第1の低電位側の電源線の一例である。さらに電源線(Vdd2)は第2の高電位側の電源線の一例であって、電源線(Vss2)は第2の低電位側の電源線の一例である。

【0037】保護回路(HK5)は、電源線(Vdd1)にそのドレインが接続され、電源線(Vss2)にそのソースが接続され、ゲートとドレインが導通している第1のMOSトランジスタ(T1)と、電源線(Vss1)にそのソースが接続され、電源線(Vdd2)にそのドレインが接続され、ゲートとドレインが導通している第2のMOSトランジスタ(T2)と、電源線(Vdd1)にそのドレインが接続され、電源線(Vss1)にそのソースが接続され、ゲートとドレインが導通している第3のMOSトランジスタ(T3)と、電源線(Vdd2)にそのドレインが接続され、電源線(Vss2)にそのソースが接続され、ゲートとドレインが導通している第4のMOSトランジスタ(T4)とを有し、印加端子(NT)からサージ電流が入力された場合に、このサージ電流を分岐させることで、信号線(S11)に流れる電流を低減するための回路である。

【0038】なお、これら第1～第4のMOSトランジスタ(T1～T4)は何れもpチャネル型のMOSトランジスタである。上記装置によれば、アナログ回路(61)から信号が出力回路(63)を介して出力され、信号線(S11)を介してディジタル部の、インバータからなる入力回路(64)に入力され、ディジタル回路(62)に伝達される。

【0039】このとき、保護回路(HK5)は図28に示すようなダイオードによる回路と等価な回路になっており、通常動作においてはこれら第1～第4のMOSトランジスタ(T1～T4)は導通することなく、電源線(Vdd1)と電源線(Vss2)、電源線(Vss1)と電源線(Vdd2)、電源線(Vdd1)と電源線(Vss1)、電源線(Vdd2)と電源線(Vss2)とは全て電氣的に分離されている。

【0040】しかし上記装置において、印加端子(NT)や電源端子(Vss1)から図26に示すようなサージ電流(SR)が入力された場合には、第1～第4のMOSトランジスタ(T1～T4)に高電圧の逆バイアスがかかってこれらが全て導通し、図26に示すように電源線(Vss1)→第2のMOSトランジスタ(T2)→第4のMOSトランジスタ(T4)→電源線(Vss2)という経路で、または第3のMOSトランジスタ(T3)→電源線(Vdd1)→第1のMOSトランジスタ(T1)→電源線(Vss2)という経路で、電源線(Vss1)と電源線(Vss2)がほぼ同電位となり、MOSトランジスタ(Q1)のゲート破壊が生じることを極力抑止することが可能になる。また、電源線(Vdd1)にサージ入力が発生した場合も同様である。

【0041】さらに、図26～図28に示すようなMO

Sトランジスタ(Q1)のゲート破壊を防止する場合に、第3のMOSトランジスタ(T3)あるいは第4のMOSトランジスタ(T4)を省略した回路構成でも十分な効果が得られる。なお、本実施形態に係る保護回路(HK5)として、図26にはpチャネル型のMOSトランジスタを用いているが、図27に示すようにnチャネル型のMOS型トランジスタを用いても良い。この場合には、各トランジスタ(T11)、(T12)、(T13)、(T14)のゲートと低電位側のソース/ドレインを導通している点のみが図26に示すpチャネル型のMOSトランジスタを用いた保護回路と異なる。この回路では、サージ入力時には図27に示すような経路で導通する。

【0042】また、図28に示すように、MOSトランジスタのかわりにダイオード(D1)、(D2)、(D3)、(D4)を用いても同様の効果を奏する。

【0043】

【発明の効果】以上説明したように本発明に係る半導体装置によれば、第1の回路と、第2の回路と、信号線と、第1の低電位側/高電位側の電源線と第2の低電位側/高電位側の電源線との電位差が所定の値を超えた時に第1の低電位側/高電位側の電源線と第2の低電位側/高電位側の電源線とを導通させる保護回路が設けられてなるので、サージ入力など何らかの原因で第1の低電位側/高電位側の電源線と第2の低電位側/高電位側の電源線との電位差が大きくなろうとしても、その電位差が所定の電位差を越えると保護回路が導通して、ほぼ同電位になるので従来のように信号線の電位が追従して上昇し、ディジタル部の入力回路を構成するMOSトランジスタのゲート電位が過度に上昇して、入力回路を構成するMOS型トランジスタのゲート破壊が生じることを極力抑止することができる。

【0044】また、本発明に係る半導体装置によれば、第1の回路と、第2の回路と、信号線と、信号線と第2の低電位/高電位側の電源線との電位差が所定の値を超えた時に信号線と第2の低電位側/高電位側の電源線とを導通させる保護回路が設けられている。このため、サージ入力など何らかの原因で信号線と第2の低電位側/高電位側の電源線との電位差が大きくなろうとしても、その電位差が所定の電位差を越えると保護回路が導通して、ほぼ同電位になるので従来のように信号線の電位が追従して上昇し、ディジタル部の入力回路を構成するMOSトランジスタのゲート電位が過度に上昇して、入力回路を構成するMOS型トランジスタのゲート破壊が生じることを極力抑止することができる。

【0045】さらに、本発明に係る半導体装置によれば保護回路を有するので、信号線に大電流が流れようとする異常動作時に、信号線に流れようとする電流が分岐されて、大電流が信号線に流れないので、信号線に大電流が流れる事によって信号線に接続された入出力回路など

の破壊を抑止する事が可能になる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体装置を説明する第 1 の図である。

【図 2】本発明の第 1 の実施形態に係る保護回路 (HK 1, HK 2) を説明する第 1 の回路図である。

【図 3】同じく保護回路 (HK 1, HK 2) を説明する第 2 の回路図である。

【図 4】同じく保護回路 (HK 1, HK 2) を説明する第 3 の回路図である。

【図 5】同じく保護回路 (HK 1, HK 2) を説明する第 4 の回路図である。

【図 6】同じく保護回路 (HK 1, HK 2) を説明する第 5 の回路図である。

【図 7】同じく保護回路 (HK 1, HK 2) を説明する第 6 の回路図である。

【図 8】同じく保護回路 (HK 1, HK 2) を説明する第 7 の回路図である。

【図 9】同じく保護回路 (HK 1, HK 2) を説明する第 8 の回路図である。

【図 10】同じく保護回路 (HK 1, HK 2) を説明する第 9 の回路図である。

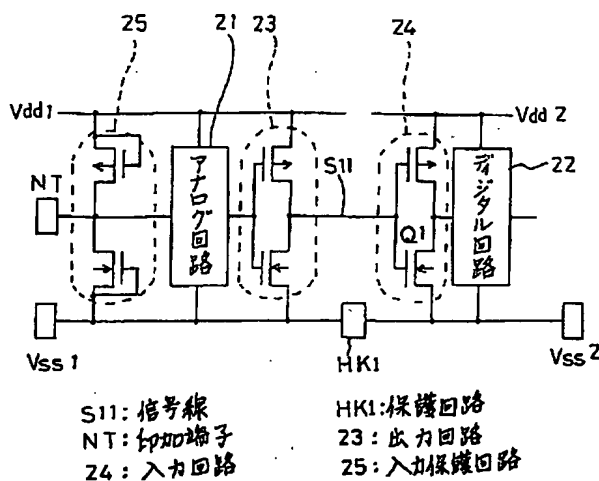
【図 11】本発明の第 1 の実施形態に係る半導体装置を説明する第 2 の図である。

【図 12】本発明の第 1 の実施形態に係る半導体装置を説明する第 3 の図である。

【図 13】本発明の第 2 の実施形態に係る半導体装置を説明する第 1 の図である。

【図 14】本発明の第 2 の実施形態に係る半導体装置を説明する第 2 の図である。

【図 1】



【図 15】本発明の第 3 の実施形態に係る半導体装置を説明する第 1 の図である。

【図 16】本発明の第 3 の実施形態に係る保護回路 (HK 3) を説明する第 1 の回路図である。

【図 17】同じく保護回路 (HK 3) を説明する第 2 の回路図である。

【図 18】同じく保護回路 (HK 3) を説明する第 3 の回路図である。

【図 19】本発明の第 3 の実施形態に係る半導体装置を説明する第 2 の図である。

【図 20】本発明の第 3 の実施形態に係る保護回路 (HK 4) を説明する第 1 の回路図である。

【図 21】同じく保護回路 (HK 4) を説明する第 2 の回路図である。

【図 22】同じく保護回路 (HK 4) を説明する第 3 の回路図である。

【図 23】本発明の第 3 の実施形態に係る半導体装置を説明する第 3 の図である。

【図 24】本発明の第 4 の実施形態に係る半導体装置を説明する第 1 の図である。

【図 25】本発明の第 4 の実施形態に係る半導体装置を説明する第 2 の図である。

【図 26】本発明の第 5 の実施形態に係る半導体装置を説明する第 1 の図である。

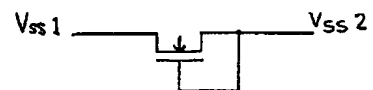
【図 27】本発明の第 5 の実施形態に係る半導体装置を説明する第 2 の図である。

【図 28】本発明の第 5 の実施形態に係る半導体装置を説明する第 3 の図である。

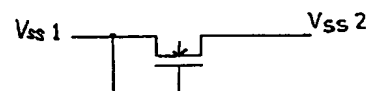
【図 29】従来の問題を説明する第 1 の図である。

【図 30】従来の問題を説明する第 2 の図である。

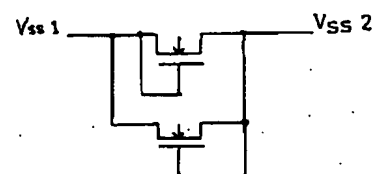
【図 2】



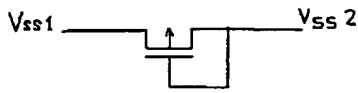
【図 3】



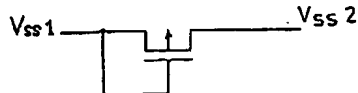
【図 4】



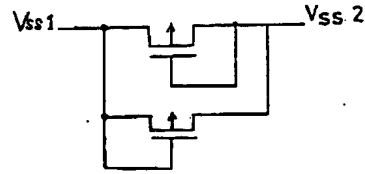
【図 5】



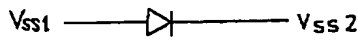
【図 6】



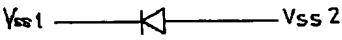
【図 7】



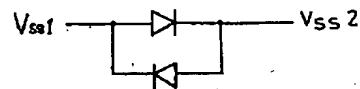
【図 8】



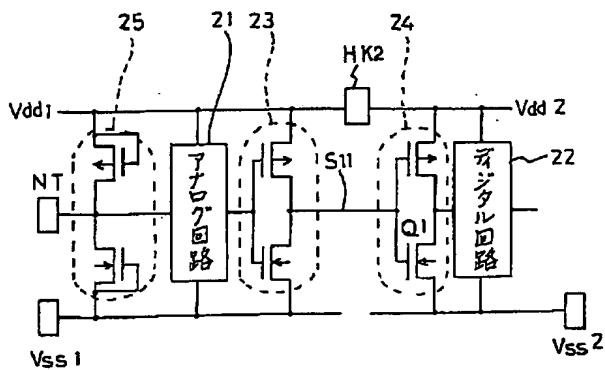
【図 9】



【図 10】



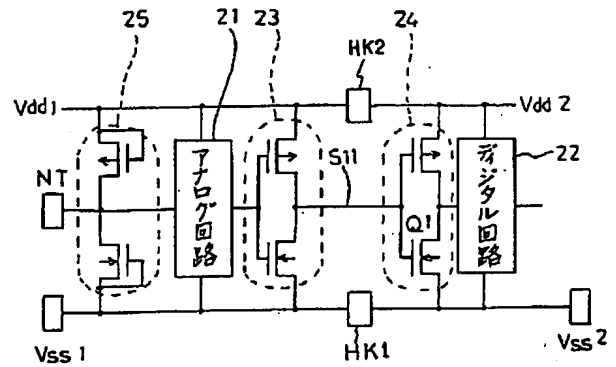
【図 11】



S11: 信号線
NT: 印加端子
24: 入力回路

HK2: 保護回路
23: 出力回路
25: 入力保護回路

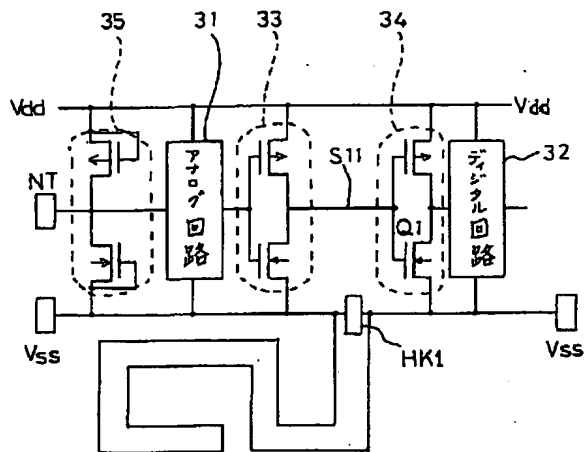
【図 12】



S11: 信号線
NT: 印加端子
24: 入力回路

HK1, HK2: 保護回路
23: 出力回路
25: 入力保護回路

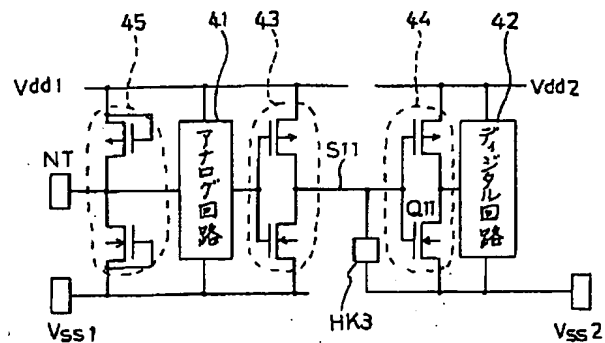
【図 13】



33: 出力回路
35: 入力保護回路

34: 入力回路

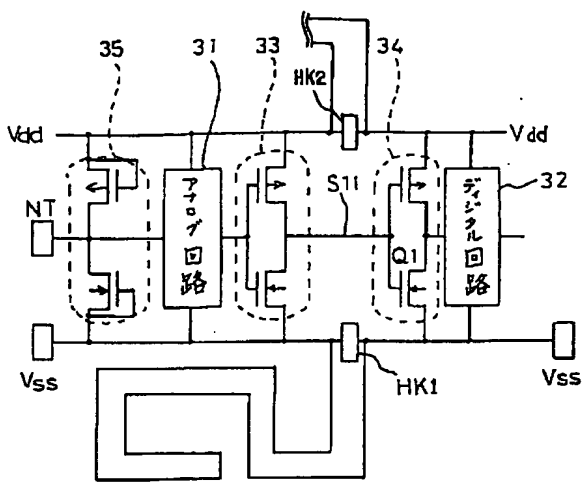
【図 15】



43: 出力回路
45: 入力保護回路

44: 入力回路
HK3: 保護回路

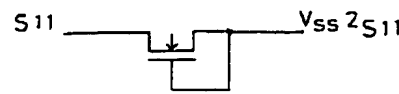
【図14】



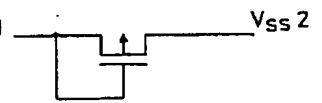
33: 出力回路
35: 入力保護回路

34: 入力回路

【図16】



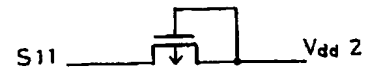
【図17】



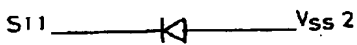
【図20】



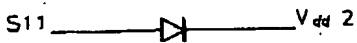
【図21】



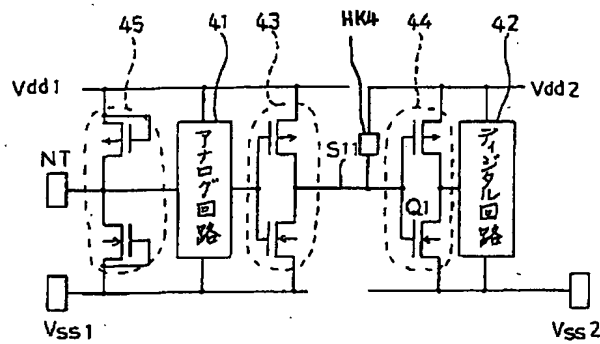
【図18】



【図22】



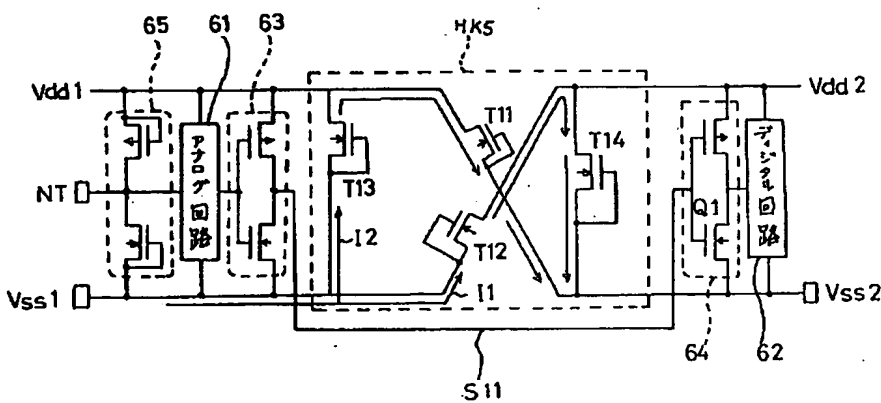
【図19】



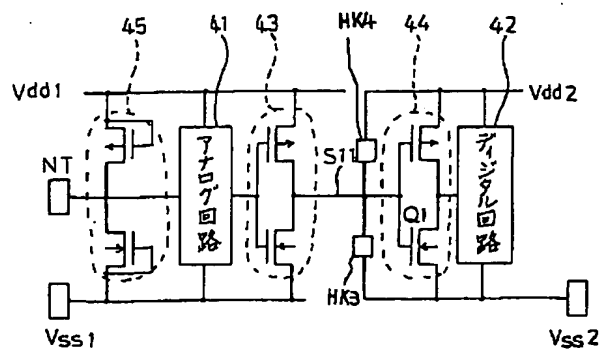
43: 出力回路
45: 入力保護回路

44: 入力回路
HK4: 保護回路

【図27】

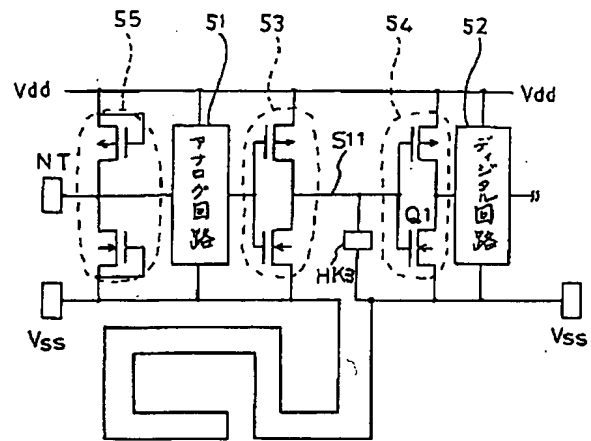


【図23】



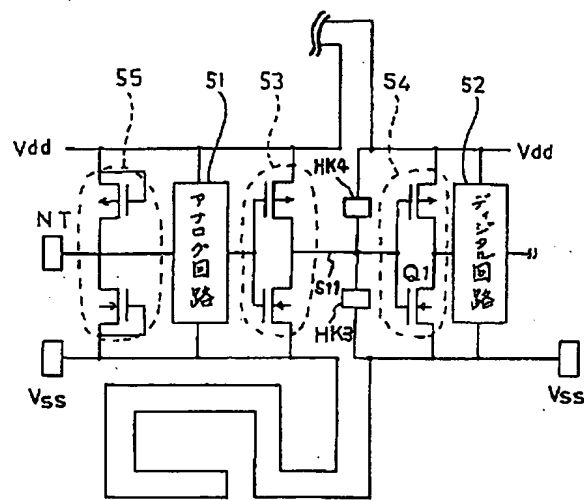
43: 出力回路 44: 入力回路
45: 入力保護回路 HK3, HK4: 保護回路

【図24】



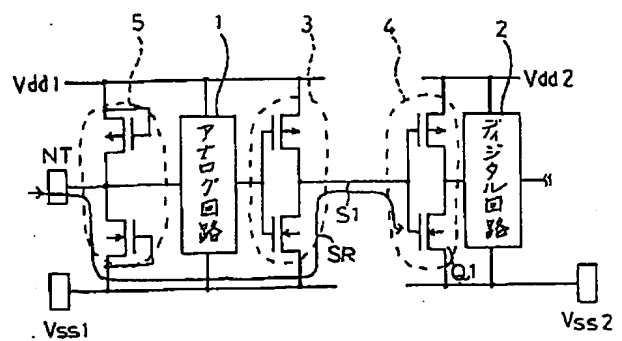
53: 出力回路 54: 入力回路
55: 入力保護回路

【図25】



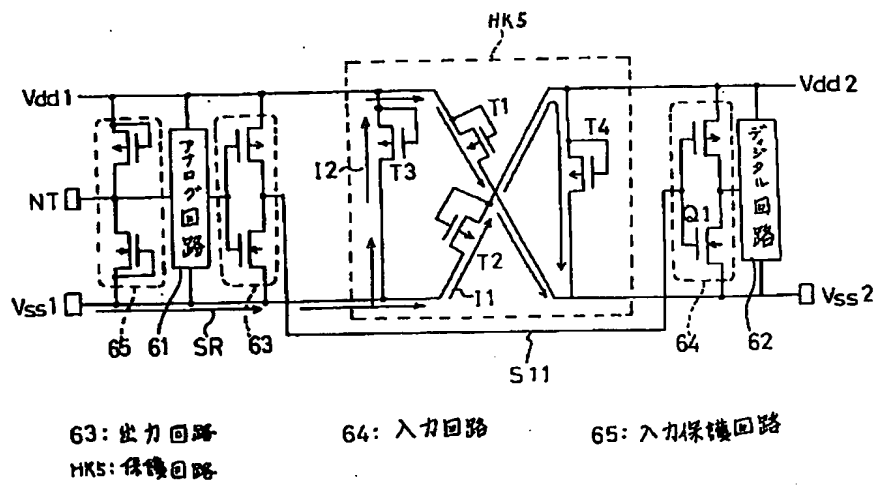
53: 出力回路 54: 入力回路
55: 入力保護回路

【図29】

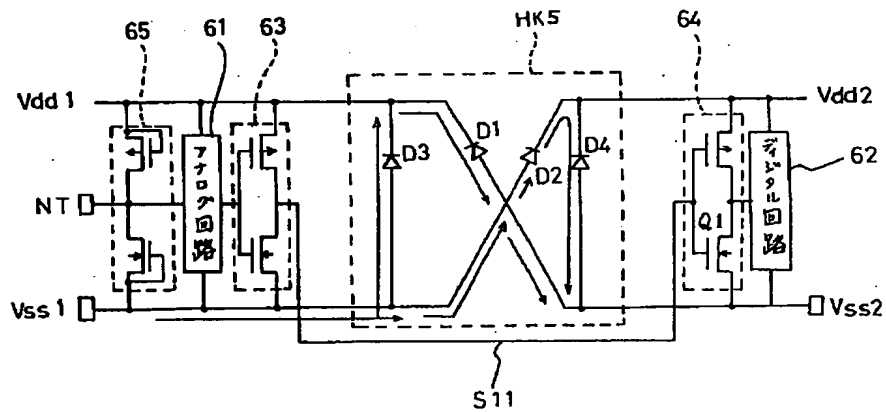


3: 出力回路 4: 入力回路
5: 入力保護回路 SR: サージ電流

【図 26】



【図 28】



[illegible]

13: 出力回路 14: 入力回路
15: 入力保護回路